

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 1999 European Patent Office. All rts. reserv.

2123839

Basic Patent (No,Kind,Date): JP 52076897 A2 770628 <No. of Patents: 001>

HALF TONE PICTURE DISPLAY DEVICE USING LIQUID CRYSTAL MATRIX
PANEL (

English)

Patent Assignee: HITACHI LTD

Author (Inventor): SAITOU NAOTAKE

IPC: *G09F-009/30; G09F-009/00; G02F-001/13; G06K-015/18

JAPIO Reference No: *010139E006817;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
-----------	------	------	-----------	------	------

JP 52076897	A2	770628	JP 75152741	A	751223 (BASIC)
-------------	----	--------	-------------	---	----------------

Priority Data (No,Kind,Date):

JP 75152741	A	751223
-------------	---	--------

(c) 1999 JPO & JAPIO. All rts. reserv.

00117897

HALF TONE PICTURE DISPLAY DEVICE USING LIQUID CRYSTAL MATRIX PANEL

PUB. NO.: 52-076897 [JP 52076897 A]

PUBLISHED: June 28, 1977 (19770628)

INVENTOR(s): SAITO NAOTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: 50-152741 [JP 75152741]

FILED: December 23, 1975 (19751223)

INTL CLASS: [2] G09F-009/30; G09F-009/00; G02F-001/13; G06K-015/18

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION

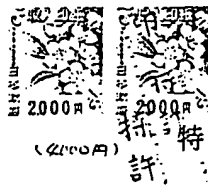
INSTRUMENTS --Optical Equipment); 45.3 (INFORMATION PROCESSING --
Input Output Units)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: E, Section No. 64, Vol. 01, No. 139, Pg. 6817,
November 15, 1977 (19771115)

ABSTRACT

PURPOSE: To reduce the number of logic operation circuits and make display of multiple tones by composing a half tone picture display device using a liquid crystal matrix panel with a device for generating reference pulse width signals of 1 : 2 : 4 : $2^{(sup k)}$ in pulse width ratio and logic operation circuits combining these signals and the digital signals from a memory unit.



特 許 願

昭和 50 年 12 月 23 日

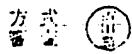
特許庁長官 殿

1. 発明の名称
液晶マトリクスパネルによる中間画面像表示装置

2. 発明者
横浜市戸塚区吉田町 2 9 2 番地
株式会社 日立製作所横浜工場内
斉 藤 尚 武

3. 特許出願人
東京都千代田区丸の内一丁目 5 番 1 号
510 株式会社 日立製作所
代表者 吉 山 博 吉

4. 代理人
東京都港区新橋 2 丁目 16 番 1 ニュー新橋ビル 703
6002 弁護士 北 村 欣



50 152741

明 細 書

1. 発明の名称
液晶マトリクスパネルによる中間画面像表示装置

2. 特許請求の範囲
液晶マトリクスパネルに対し異なる幅の輝度制御信号を使用し中間画面像表示を行なう装置において、パルス幅比が 1 : 2 : 4 : ... : 2^kなる基準パルス幅信号を発生する装置と、該基準パルス幅信号と記憶装置からのデジタル信号とを組合わせる論理演算回路とを具備し輝度制御信号を発生させることを特徴とする液晶マトリクスパネルによる中間画面像表示装置。

3. 発明の詳細な説明
本発明は簡易な装置で階調数の多い中間画面像表示を行なう液晶マトリクスパネル表示装置に関する。
液晶は電圧を印加したとき光の透過率あるいは散乱光強度が変化するので液晶マトリクスを用い順次走査方式により中間画面像表示を有する画

① 日本国特許庁
公開特許公報

①特開昭 52-76897

④公開日 昭 52.(1977) 6.28

②特願昭 50-152741

②出願日 昭 50.(1975) 12.23

審査請求 未請求 (全 6 頁)

庁内整理番号 7323 56
7013 54
7129 54
7348 23

⑤日本分類

101 E5
101 E9
104 G0
979 B4

⑤ Int. Cl²

G09F 9/30
G09F 9/00
G02F 1/13
G06k 15/18

識別
記号

像表示が可能である。

液晶の表示の原理は、電界を印加しない時透明であるが、電界を印加すると白濁して不透明になる動的散乱モード(DSM)と、液晶の分子配列によつて屈折率あるいは旋光性をもち、電界によつてその特性を制御できる電界効果モード(FEM)がある。

第 1 図は液晶の印加電圧に対する輝度特性である。印加電圧が液晶の閾値によつて定まる値 V_c を越えると、輝度は急激に上昇する。この値 V_c をスレッシュホールド電圧という。

輝度特性は、印加電圧の実効値によつて定まり、駆動電圧波形に依存しないことが知られている。液晶に直流電圧を印加すると寿命が短いため通常、矩形波による交流駆動を行なう。DSM あるいは FEM のいずれであっても、第 1 図と類似の特性をもつ。

第 2 図は、液晶マトリクスパネルを概略的に示したものである。L0 は液晶パネル Y1 ~ Y4 は走査電極(以下走査線または Y 電極という)、X1

～ x_i は信号電極(以下 x 電極という)である。 y 電極には、 y 電極駆動回路1によつて走査信号電圧を印加し、 x 電極には、 x 電極駆動回路2によつて信号電圧を印加すると、その交点の液晶は、輝度を変化する。両電極の交点が、画素をなす。順次走査においては、 y_1, y_2, y_3, y_4 には順次に選択信号電圧が印加され、 x 電極 x_1, x_2, x_3, x_4 には信号電圧が印加される。したがつて、一本の走査線上の画素は、同時に輝度を変化する。第2図は、4行4列のマトリクスの場合を示したものである。

液晶マトリクスを順次に走査する場合、非選択電極を開放とすると、クロストークを生じて、正しい表示を行なうことができない。

クロストークを防ぐためには、交流駆動を行ない、パルス幅変調によつて、液晶の輝度を制御することが知られているから第3図によりそれを説明する。

第3図において、 Q_p はクロックパルス、 ϕ_p はパルス幅変調による輝度制御信号である。

(3)

$$m = \frac{2\tau}{T}$$

(8)

$0 \leq \tau \leq \frac{T}{2}$ であるから、変調率 m は、 $0 \leq m \leq 1$ となる。パルス幅 τ を変えることにより、 m を変えることができるので、液晶の輝度を制御することができる。したがつて、中間調を有する画像表示が可能となる。

第3図における輝度制御信号 ϕ_p は、第4図に示すようにして、発生させることができる。

一般に、順次走査を行なうためには、ラインメモリを必要とする。ラインメモリは、一画素に対して2ビットの容量をもつものとして、出力を M_0, M_1 とする。 $\phi_1 \sim \phi_4$ は、パルス幅変調信号(パルス幅を ϕ_1 より ϕ_4 に至る順に大としたもの)、3と4は合込回路、5～8は論理和回路、9は論理和回路である。

ラインメモリ出力 M_0, M_1 がデジタル値00であれば $\phi_p = \phi_1$ 、01ならば $\phi_p = \phi_2$ 、10ならば $\phi_p = \phi_3$ 、11ならば $\phi_p = \phi_4$ となる。

したがつてテレビジョン映像信号のような原画

(5)

x 電極は、通常、シフトレジスタによつて走査される。 y_1 は y_1 電極を走査するシフトレジスタの出力である。 V_y は、 y 電極に印加される電圧、 V_x は x 電極に印加される電圧、 $V_y - V_x$ は、液晶に印加される電圧である。

第5図で、 T は走査線が選択されている時間である。また、 ϕ_1 と ϕ_2 は等しい。 V_y は、 ϕ_1 では $(1 - \frac{1}{a})V_0$ 、 ϕ_2 では $-(1 - \frac{1}{a})V_0$ であるようににする。 V_x は、 ϕ_1 では、期間 τ では $-\frac{1}{a}V_0$ 、期間 $\phi_1 - \tau$ では $\frac{1}{a}V_0$ であるようにする。 ϕ_2 では、極性が反転するようにする。このようにして、液晶は交流駆動される。走査線数を N 本とすると a は次の式を満足した時、最適駆動条件となることが知られている。

$$a = \sqrt{N+1} \quad (1)$$

液晶に印加される実効電圧 V_g は、次の式で与えられる。

$$V_g = \frac{1}{a} V_0 \sqrt{1 + \frac{(a-1)(4a-a-3)}{N}} \quad (2)$$

(4)

号をAD変換しラインメモリに記憶させ、その出力によつて異なる幅のパルス信号が得られるから、前述のように変調率 m を変え中間調を有する画像表示が可能となる。以上は4階調表示の場合であるが、階調数を増すと、パルス幅変調信号の数も増加するため使用する論理回路の数が多くなり回路構成が複雑化し、装置は高価になる。例えば8階調表示の場合は8個の論理回路と1個の論理和回路が必要となる欠点があった。

本発明の目的は前述の欠点を改善し、簡易な装置によつて階調数の多い中間調表示を行なう液晶マトリクス装置を提供することにある。

第6図は、8階調表示を行なうためのパルス幅変調信号による輝度制御信号を説明する図である。 ϕ_1, ϕ_2, ϕ_3 は、第6図に示すようにそれぞれ発生時期が異なり、パルス幅比が1:2:4の基準パルス幅変調信号を示す。 ϕ_1, ϕ_2, ϕ_3 の組み合わせによつて、8種類のパルス幅変調信号 $\phi_0, \phi_1, \dots, \phi_7$ を発生させることができる。すなわち

$$\left. \begin{array}{ll} r_0 = 0 & r_1 = P_1 \\ r_2 = P_1 & r_3 = P_1 + P_2 \\ r_4 = P_1 & r_5 = P_1 + P_4 \\ r_6 = P_2 + P_4 & r_7 = P_1 + P_2 + P_4 \end{array} \right\} \quad (4)$$

それぞれのパルス幅変調信号のパルス幅比は、つぎのようになる。

$$r_0 : r_1 : r_2 : \dots : r_7 = 0 : 1 : 2 : \dots : 7 \quad (5)$$

例えば r_6 は、パルス幅が 1 と 4 の 2 つのパルスから成り立っている。波高の増度は、実効電圧に依存するので、 r_6 は、パルス幅 8 をもつ単一パルスと等価である。したがってパルス幅変調信号 $r_0, r_1, r_2, \dots, r_7$ を用いて波高の増度を制御することができる。

第 6 図は第 5 図のパルス P_1, P_2, P_4 を用い波高変調信号 T_p を発生する本発明実施例の要部を示す回路図である。第 6 図において P_8 は第 5 図 P_1, P_2, P_4 のようなパルス幅比が 1 : 2 : 4 : $\dots : 2^k$ なる基準パルス幅信号を発生する装置、15 ~ 17 は論理積回路、18 は論理和回路、

(7)

波高の増減を第 10 図に示す。第 9 図において γ は映像信号、 H_s は水平同期パルスを示し、期間 t_1 でラインメモリに記憶された映像信号は期間 t_2 で表示されることとなる。第 10 図において 19 は 7 ビットのシフトレジスタを示し、 b_1 乃至 b_7 は出力ビットを示す。20、21、22 は J-K フリップフロップ、23 はシフトレジスタ 19 を動作させるクロックパルス Q_p の発生器、24、25 は否定回路、26、27 は論理積回路、28、29、30 は論理和である。

クロックパルス発生器 23 は第 9 図の水平同期パルス H_s の無いときクロックパルス Q_p を発生し続けるよう構成する。

第 10 図の動作タイミングチャートを第 11 図に示す。始めにクリアパルス Q_L によつてフリップフロップ 20 をクリアする。次いで水平同期パルス H_s を否定回路 24 によつて否定した出力 $\overline{H_s}$ によつてシフトレジスタ 19 の全ビット及びフリップフロップ 21、22 をクリアする。フリップフロップ 20 の出力 Q_0 は H_s によつて 1

(9)

M_0, M_1, M_2 はそれぞれラインメモリの出力の印加される端子を示す。

第 6 図に示す装置は第 4 図について説明したと同様にラインメモリの出力の有無に応じて各論理演算回路が動作し、基準パルス幅信号を組合せることにより第 5 図に示す信号が得られる。なお論理演算回路は 15 ~ 18 に図示する以外に $M \& M D$ 回路等他の回路を使用することも可能である。

この構成により例えば k 増減の表示を行なうとき、第 4 図では k 個の論理積回路を必要とするが第 6 図の例では $\lceil \log 2^k \rceil + 1$ 個で済む。

次に $T_p = r_6$ とした場合の波高マトリクスパネル駆動波形図を第 7 図に、また 2 フレームで交差駆動を行なつた場合の波形図を第 8 図に示し、これらは第 5 図と同様であるから説明を省略する。

こゝで第 9 図に示すテレビジョン信号を 8 増減表示する場合に第 6 図の P_1, P_2, P_4 を発生するよう第 6 図の基準パルス幅信号を発生する装

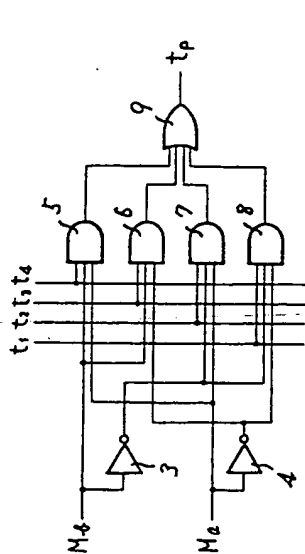
(8)

にセットされ、 Q_0 はシフトレジスタ 19 の入力に印加されているので以後シフトレジスタ 19 の各ビット b_1, b_2, \dots, b_7 はクロックパルス Q_p 毎に順次 1 になる。したがって基準パルス幅信号 P_1, P_2, P_4 は論理和回路 29、30 の動作により次式で与えられる

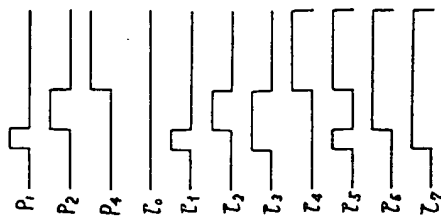
$$\left. \begin{array}{l} P_1 = b_1 \\ P_2 = b_2 + b_3 \\ P_4 = b_4 + b_5 + b_6 + b_7 \end{array} \right\} \quad (9)$$

b_1 に出力が生じたときフリップフロップ 21 の出力 Q_1 が 1 となり、 b_2 はシフトレジスタ 19 の入力側にもどされる。次に b_1 に再び出力が生ずると Q_1 は 0 にもどりフリップフロップ 22 の出力 Q_2 は 1 (Q_0 は 0) になつてシフトレジスタ 19 はクリアされ動作は停止する。こゝで第 11 図に示す波形即ち基準パルス幅信号 P_1, P_2, P_4 が得られる。なお第 11 図に示す T_1 と T_2 の時間は動作上無意味な時間があるが、クロックパルス Q_p の周波数を変えることによつて実用上差支えない程度に小さくすることができる。第 10 図の

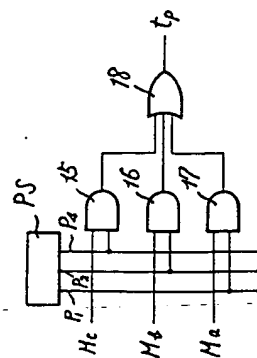
★ 4 図



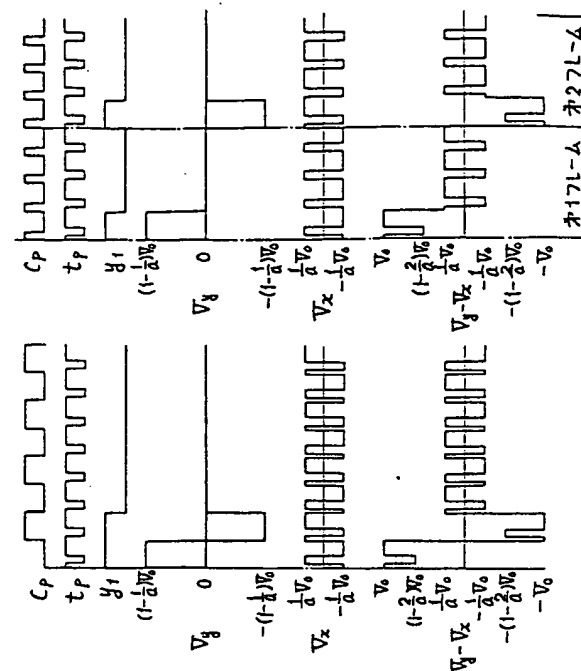
★ 5 図



★ 6 図

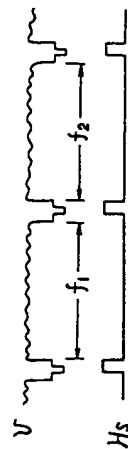


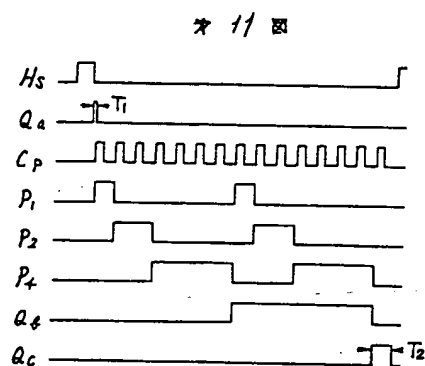
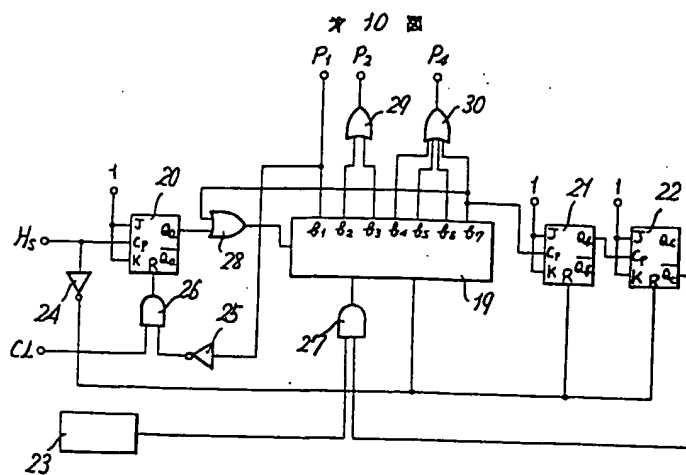
★ 7 図



★ 8 図

★ 9 図





5. 添付書類の目録

(1) 明 細 書	1	通
(2) 図 面	1	通
(3) 願 書 副 本	1	通
(4) 委 任 状	1	通
(5) 出願書送附書	1	通

6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

(2) 特 許 出 願 人

(3) 代 理 人

東京都港区新橋2丁目16番1 ニュー新橋ビル703
 6432 弁 理 士 北 村 和 男
 7067 弁 理 士 鎌 田 薫
 7559 弁 理 士 鈴 木 栄 祐